

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-050070

(43)Date of publication of application : 20.02.1998

(51)Int.Cl.

G11C 11/417
G11C 11/409
H01L 27/10
H03K 19/0175

(21)Application number : 08-206716

(71)Applicant : NEC NIIGATA LTD

(22)Date of filing : 06.08.1996

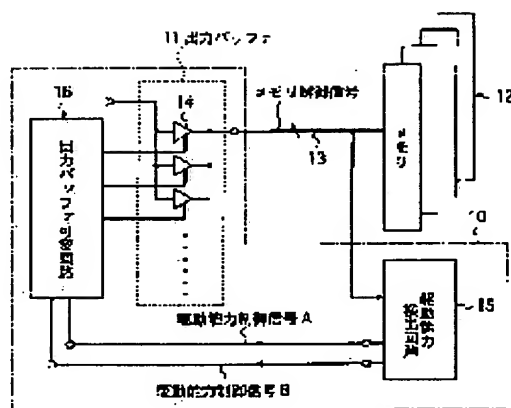
(72)Inventor : IIZUKA HIDEO

(54) MEMORY CONTROLLER

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a memory controller provided with an output buffer having driving capacity suitable for load capacity of an output line.

SOLUTION: The memory controller 10 is provided with plural output buffers 11 respectively outputting memory control signals, a common driving capacity detection circuit 15 outputting driving capacity control signals based on the signal waveform on the output lines 13 connected to the output ends of respective output buffers and a common output buffer variable circuit 16 adjusting the driving capacity of the output buffers according to the driving capacity control signals. By adjusting the driving capacity of the output buffers 11 matched with the load capacity of respective output lines 13, the control signal having an optimum signal waveform is obtained. The malfunction of a memory 12 is reduced, and further, the design of the output buffer 11 is simplified.



LEGAL STATUS

[Date of request for examination]

06.08.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3022777

[Date of registration]

14.01.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

各出力のフットプリントの信号波形を抽出する。左側の駆動能力検出回路15と、駆動能力検出回路15の出力を受け、フットプリント15と、駆動能力を制御する共通の出力フットプリント16とを備える。各出力フットプリント16は、並列接続された複数のフットプリント14が配設される。複数のメモリ制御信号は、例えば、カラムアドレストランスロケータ(CAS)、ロウアドレス、ストロブ(RAS)、チャネルエンベロープ信号(WE)、アドレス信号、及び、データ信号を含んでいる。

負荷容量の大きさに限らず、各出力バッファ11の駆動能力が最大になるように選択しておくことにより、出力能力が最大になるように駆動能力が最適な値になるような制御が、各制御信号毎に行われる。駆動能力値は出力回路11から、周期的又は階次的に作動し、各出力能力値出力回路115は、周知信号を順次に検出し、それに基づいて各出力ライン13に対応する駆動能力制御信号A及びBを順次に出力する。出力バッファ可変回路116は、駆動能力制御信号A及びBを受けて、各出力バッファ11内で駆動が継続されるべき駆動能力を順次に調整する機能をする。

【0013】図2 (a) ~ (d) は、図1のメモリコントローラの動作を説明するため、出力バッファの運動能力の大きき各場合に対する出力バッファの信号波形を示す。図2 (a) に示す場合のように、出力バッファの運動能力が大きいために、成る出力ラインにオーバervoltageが発生しているときには、運動能力検出回路はこのオーバervoltageを所定の基準と比較して検出し、その検出結果から、オーバervoltageが発生している出力ラインの出力バッファの運動能力を1ランク下げるために、所定の運動能力補償値 α 及び β を出力する。

【0011】駆動能力制御信号A及びBは、出力バンプアンプ可変回路に送られ、出力バンプアンプ可変回路の駆動電圧制御信号A及びBに基づいて、出力バンプの駆動能力をラング下げる。つまり、並列に接続されている多数のバンプアンプの内1つについて、その駆動を停止する。この動作は、図2(b)に示す電圧波形が得られるまで繰り返され、過大なオーバースhootがなくなるまで繰り返される。

【0011】また、出力ラテンに図2(c)に示すようなフランダッシュが生じている場合には、運動能力検査回数は、所定の基準値と比較してこれを超過し、フランダッシュが発生している出力ラテンの出力バツワータンク能力を1ラテン下げるために、所定の運動能力抑制信号A及びBを出力する。運動能力抑制信号A及びBは、出力バツワータンク可変回路に送られ、出力バツワータンク可変回路は、この抑制信号に基づいて、出力バツワータンクの能力を1ラテン下げる。つまり、並列に接続されている

多数のバツファの内の1つについて、その駆動を停止する。この動作は、図2 (b) に示すような波形が得られるまで繰り返され、過大なアンダージュメントがない信号波形が得られる。

【0016】また、図2 (d) に示すように、駆動能力が小さすぎる場合には、駆動能力検出回路は、駆動能力を1ランク上げるために駆動能力制御信号A及びBを出力する。出力バンプア可変回路は、この駆動能力制御信号に基づいて出力バンプアでの駆動能力を1ランク上げる。つまり、出力バンプアでの駆動能力を1ランク上げる。

【0017】なお、例えばCMOSトランジスタを採用するパンプの場合には、より適切な信号波形を得るために、出力ラインを充電するPチャネルトランジスタと、出力ラインから放電するNチャネルトランジスタとを、個別（単独）に追加駆動することもある。この場合、先に示したオーバershoot又はアンダーシュートを抑制し且つ実質的に零に出来る。

【0018】図3は、図1に示したメモリコントローラにおける駆動能力制御信号の波形をタイムチャートで示している。駆動能力制御信号は、例えば所定の時間間隔において周期的に出力されるもので、その各出力期間には、駆動信号の出力を予告する駆動予告期間と、各出力期間毎の制御信号を順次に出力する各制御信号出力期間と、制御信号の出力の終了を告げる終了告知期間とから成る。

【0019】開始予告期間では、駆動前制御番号Aをローレベルとし駆動前制御番号Bを4クロック送る。これにより、次に各出力ラインに対応する個別の駆動前制御信号が出力される旨を予告する。各駆動前出力期間では、制御信号Aがクロックを構成し、2クロックの間に1つの駆動ラインに対応する個別制御信号を成す駆動能力制御信号Bが出力される。つまり、個別前制御番号は、2クロックの間に出力される2ビットの信号として構成される。

【0020】個別制御信号は、20000ppm 期間 H レベルであること、つまり、個別制御信号 $= (H, H)$ は、現在の駆動能力が高いので駆動能力を $\frac{1}{2}$ 倍下げた必要があることを意味する。また、個別制御信号が最初のクロック期間 H レベルで次のクロック期間 L レベルであることは、つまり個別制御信号 $= (H, L)$ は、現在の駆動能力が低いため駆動能力を $\frac{1}{2}$ 倍上げる必要があることを意味し、同様に、個別制御信号 $= (L, L)$ は、現在の駆動能力が適当であることを意味する。従って、図示の場合では、RAS、RASI、CAS、7F、1F、及び、データは、夫々、現在の駆動能力が「高」、「低」、「適当」、「低」ことを示している。

【0021】終了告知期間には、駆動能力制御信号Bがクロックを構成し、4クロックの間駆動能力制御信号A

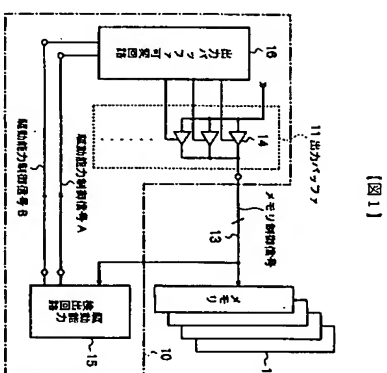
をHレベルとする。これによって、駆動制御信号の出力が終了したことを告知する。

信号A及びBに基づいて、各出力バッファの駆動能力の幅を定める。また、各出力バッファに駆動能力を上げるか、下げるか、又は、現状を維持するかの制御の内容をその内部レジスタに格納し、この内部レジスタに基づいて、各出力バッファにおける並列バッファの数を増減させ又は維持する。この駆動信号波形の検出及び出力バッファの駆動能力問題は、各制御信号で最適な信号波形が得られるまで繰り返される。

【002.】上記実施形態例のメモリコントローラでは、矢々がメモリ制御信号は出力する複数の出力バッファについて、その構成は、出力バッファ相互間で且つ異なるメモリコントローラ間で共通に、矢々に異なる信号波形を識別してることが出来る。これによって、出力バッファの数が簡素化され且つメモリの稼働率が向上する。従来は、メモリの負荷容量が大きいため、矢々が出力する際に、矢々の出力が異なる出力バッファの出力に原因していた。

【10024】なお、上記実施形態例では、多数の出カラインに対して共通の駆動能力検出回路及び出力バッファ可変回路を設けた例を示したが、これに代えて、各出力ライン毎に各1つの駆動能力検出回路及び出力バッファ可変回路を設けてもよい。

【0025】以上、本発明をその好適な実施形態例に基づいて説明したが、本発明は、上記実施形態例の構成のみ限定されるものではなく、上記実施形態例の構成から種々の修正及び変更を施したメモリコントローラも、



【図1】

本発明の範囲に含まれる。
[0026]

【発明の効果】以上、説明したように、本発明のメモリコントローラによると、メモリの負荷容量の大きさを個別に考慮することなく、適切な駆動能力を有するメモリコントローラを容易に実現でき、また、過大なオーバーシュートやアンダーシュートに起因するノイズが発生せず、メモリの駆動動作の発生を防止することもできる。

【図1】本発明の一実施形態例のメモリコントローラのブロック図。

【図2】図1のメモリコントローラ的作用を説明するための駆動信号の波形図。

【図3】図1のメモリコントローラにおける駆動能力制御信号の波形を示すタイミングチャート。

【符号の説明】

- 10 メモリコントローラ
- 11 出カバッファ
- 12 メモリ

13 出カライン

14 バックアクリル酸

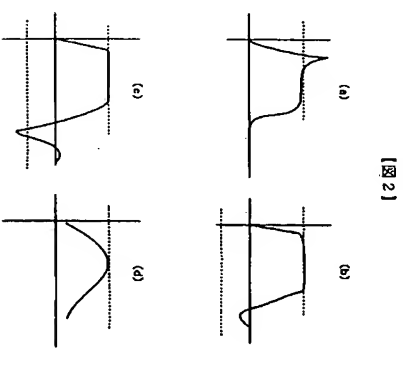
13 運動能力検出回路

20 出力バツフ回路

2.1 入力端子

22 田力耀子

2.4 最終段出力バッファ

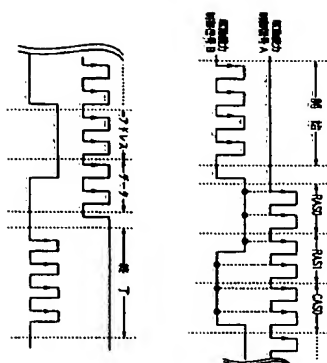


【圖2】

(5)

特開平10-50070

【図3】



【図4】

